

관리번호	2020-차세대반도체-일반-품목-01	산업 기술 분류	중분류 I	중분류 II
과제성격	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체장비	
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업(시장)창출형 <input checked="" type="checkbox"/> 해당없음			
해당여부	<input type="checkbox"/> 특허연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 글로벌협력형 R&D <input type="checkbox"/> 경쟁형 R&D <input type="checkbox"/> 기획경쟁 <input type="checkbox"/> 경진대회형 <input type="checkbox"/> 규제개선 <input type="checkbox"/> 안전관리형			
품목명	3차원 반도체 소자 제조를 위한 Si계 물질(Si, SiO ₂ , SiN)의 열 원자층 에칭(Thermal ALE) 기술에 관한 연구 (TRL : [시작] 3단계 ~ [종료] 5단계)			
1. 개념 및 정의	<div> <input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ Si계 물질(Si, SiO₂, SiN)의 저손상, 고선택비, 등방성 Thermal ALE 기술 개발 <ul style="list-style-type: none"> - 특정 물질의 선택적 modification이 가능한 할로젠 화합물 선정 - 이온충돌에 의한 손상이 없는 modification 층의 removal 공정 기술 - 에칭 선택비 극대화를 위한 표면처리 공정 및 첨가제 기술 ○ ALE 반응기구 연구 개발 <ul style="list-style-type: none"> - 반응기구 전산모사에 의한 ALE 반응 예측 및 검증 - 실시간 공정 모니터링 (FTIR, QCM, QMS 등)을 이용한 반응기구 연구 </div> <div> <input type="checkbox"/> 개발결과의 활용방안 <ul style="list-style-type: none"> ○ 원자층 수준의 초미세화 패턴 차세대 소자 제조 Thermal ALE 공정 기술 확보 <ul style="list-style-type: none"> - 원자층 수준의 정밀도로 고선택비 및 등방성 에칭이 가능하며, 이온 충돌에 의한 소자 손상의 문제점을 해결 가능한 패터닝 기술 확보 - 3 nm 이후 logic 소자 제조기술(nanosheet transistor)과 3차원 메모리소자 제조 기술(3D V-NAND, DRAM) 등에 활용 가능한 원자층 수준의 등방성 에칭 공정 기술 확보 </div>			
2. 국내외 기술 동향	<div> <input type="checkbox"/> 국내 동향 <ul style="list-style-type: none"> - 국내엔 Thermal ALE 기술에 대한 연구가 보고된 바 없음 </div> <div> <input type="checkbox"/> 국외 동향 <ul style="list-style-type: none"> - 최근 Applied Materials사는 NF₃/NH₃ remote plasma에 의한 modification 공정과 heating에 의한 removal 공정에 의해 native oxide를 제거하는 공정을 상용화함. 다른 물질에 대한 응용은 제한적임 - 2015년 Colorado 대학에서 HF와 Sn(acac)₂를 이용하여 Al₂O₃를 thermal ALE 공정으로 에칭함. 이후 동일한 방식으로 다양한 물질들에 대한 공정을 발표중임 </div>			

3. 지원 필요성

☐ 기술적 지원필요성

- 반도체 소자의 미세화 및 3차원화에 의해 기존 etching 공정만으로는 차세대 소자 제조가 어려운 실정임
- 기존 dry etching 공정은 이온 충돌로 인한 기저층 손상, 선택비 저하, 박막의 조성비 파괴 등이 문제가 되고 있음
- 한편 nanosheet/nanowire 소자, 3차원 수직 NAND 등 3차원 구조의 소자에서는 기존 dry etching의 이방성(anisotropic) 에칭 뿐만이 아니라 등방성(isotropic) 에칭도 필요함. Wet etching으로도 등방성 에칭이 가능하지만 초미세 패턴에서는 모세관현상에 의해 패턴이 손상되기 때문에 dry etching 방식으로 등방성 에칭이 필요함
- 원자층 에칭 (ALE, atomic layer etching) 기술은 원자층 수준의 정밀도로 에칭이 가능하며 이온 충돌에 의한 문제점을 해결할 수 있고 등방성 에칭이 가능하기 때문에 초미세화되는 차세대 소자 제조공정에 필수적인 기술로 대두되고 있음
- 하지만 개발 역사가 매우 짧아서 (5년 미만) 개념을 검증하는 수준의 초보적인 연구결과가 소수의 연구그룹에서 발표되고 있는 실정이라, Thermal ALE 공정 기술이 개발 시급함

☐ 경제적 지원필요성

- 도전적인 신규 패터닝 공정의 개발을 통해 새로운 장비 및 소재 시장의 창출이 가능하며 세계 시장 진출이 기대됨
- 식각기술은 미세패터닝의 필수기술이며, 식각장비 시장규모가 전체 반도체장비 시장의 약 20%를 차지하는 중요분야임

☐ 정부/정책적 지원필요성

- ALE에 적합한 소재(할로겐 화합물, 유기금속 화합물)와 ALE 공정 방식 (ligand exchange, evaporation, sputtering), 그리고 이를 구현할 수 있는 ALE 장비에 대한 종합적이고 도전적인 연구개발이 필요함. 특히 소재 및 공정에 관해 체계적이고 깊이 있는 기초연구가 필요하여 정부의 정책적 지원이 필요함.
- 도전적인 Thermal ALE의 공정기술의 성공하면, 반도체 제조 장비 업체 및 소재 업체와 기술이전 및 협력을 통해 사업화 가능함

4. 지원기간/예산/추진체계

- 기간 : 30개월 이내 (1차년도 : 6개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '20년 0.75억원 이내(총 정부출연금 2.75억원 이내)
- 주관기관 : 비영리기관
- 기술료 징수여부 : 비징수