

관리번호	2020-차세대반도체-일반-품목-2		산업 기술 분류	중분류 I	중분류 II																								
과제성격	<input type="checkbox"/> 원천기술 <input checked="" type="checkbox"/> 혁신제품			반도체장비	-																								
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업(시장)창출형 <input checked="" type="checkbox"/> 해당없음																												
해당여부	<input type="checkbox"/> 특허연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 글로벌협력형 R&D <input type="checkbox"/> 경쟁형 R&D <input type="checkbox"/> 기획경쟁 <input type="checkbox"/> 경진대회형 <input type="checkbox"/> 규제개선																												
품목명	실시간 공정 제어가 가능한 원자층 식각 장비 (TRL : [시작] 5단계 ~ [종료] 7단계)																												
1. 개념 및 정의	<input type="checkbox"/> 개념 <ul style="list-style-type: none"> 반도체 제조공정에서 패턴 형성을 위해 사용되고 있는 기존 RIE (reactive ion etching) 방식의 건식 식각 장비는 식각 깊이 조절, 식각 프로파일 조절, 식각 대상 물질의 손상 등에서 점차 한계를 맞고 있음 원자층 식각 (atomic layer etching, ALE)은 새로운 방식의 식각 기술로서 원자층 수준의 정밀한 식각 깊이가 조절이 가능하기 때문에 나노미터급 초미세 반도체 소자의 제조를 위해 필수적인 장비임 또한 ALE는 식각속도가 균일하기 때문에 식각 프로파일을 정밀하게 조절할 수 있고 에칭하려는 박막과 하부막의 손상을 최소화할 수 있으며 Aspect ratio 및 pattern density 의존성이 낮음 그러나 ALE는 기존 RIE 방식에 비해 에칭속도가 낮고 공정시간이 길어 throughput이 낮음. 또한 전세계적으로도 연구개발 역사가 짧아 기술의 성숙도가 낮음 따라서 공정시간의 단축에 의한 생산성 향상 및 정밀한 공정 제어를 위해 공정 모니터링 시스템에 의해 실시간으로 공정을 제어하는 ALE 장비의 개발이 필요함 <input type="checkbox"/> 개발결과의 활용방안 <ul style="list-style-type: none"> 차세대 반도체소자의 양산을 위한 300 mm ALE 시스템의 개발 차세대 반도체소자의 개발에 활용 <ul style="list-style-type: none"> - 파운드리: 5 nm급 이하 FinFET 및 nanosheet FET, DRAM: 1a nm급 이하 <input type="checkbox"/> 핵심 목표 성능 <table border="1" style="width: 100%;"> <thead> <tr> <th colspan="2">핵심 성능지표</th> <th>단위</th> <th>달성목표</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>Etch Rate</td> <td>Å/cycle</td> <td>≥ 1.5</td> </tr> <tr> <td>2</td> <td>Cycle Time</td> <td>s</td> <td>≤ 30</td> </tr> <tr> <td>3</td> <td>RMS Roughness</td> <td>Å</td> <td>≤ 2 (bare Si wafer 대비)</td> </tr> <tr> <td>4</td> <td>Etch Rate Uniformity</td> <td>%</td> <td>≤ 2 ((MAX-MIN)/(2*AVERAGE)*100)</td> </tr> <tr> <td>5</td> <td>Etch Profile</td> <td>-</td> <td>No Micro-trenching</td> </tr> </tbody> </table>					핵심 성능지표		단위	달성목표	1	Etch Rate	Å/cycle	≥ 1.5	2	Cycle Time	s	≤ 30	3	RMS Roughness	Å	≤ 2 (bare Si wafer 대비)	4	Etch Rate Uniformity	%	≤ 2 ((MAX-MIN)/(2*AVERAGE)*100)	5	Etch Profile	-	No Micro-trenching
핵심 성능지표		단위	달성목표																										
1	Etch Rate	Å/cycle	≥ 1.5																										
2	Cycle Time	s	≤ 30																										
3	RMS Roughness	Å	≤ 2 (bare Si wafer 대비)																										
4	Etch Rate Uniformity	%	≤ 2 ((MAX-MIN)/(2*AVERAGE)*100)																										
5	Etch Profile	-	No Micro-trenching																										
* 과제 신청 시 수요기업의 요구사항을 반영한 목표성능 추가 제시																													

2. 국내외 기술 동향

- ALE에 관한 기초연구는 1990년대 일본과 한국에서 시작되었으나 2010년대부터 관심이 높아지면서 본격적으로 연구개발이 진행중
 - ALE에 관한 국제학회가 2014년에 시작됨
- 최근 램 리서치, 도쿄일렉트론(TEL), 히다치 하이테크 등의 장비기업들은 5 nm 이하의 소자 제조를 위해 ALE 방식의 장비를 개발이며 일부 상용화가 시작된 실정임
 - 에칭공정, 에칭가스, 플라즈마 소스, 시뮬레이션 등의 관련기술 연구를 위하여 전세계 대학 및 연구소와 공동연구를 수행중
- 국내에서는 대학을 중심으로 기초연구가 진행되고 있으나 상용화 수준의 ALE 장비개발은 보고된 바 없음
 - 대학과 연구소에서 ALE 공정 및 시뮬레이션 연구가 진행중

3. 지원 필요성

☐ 기술적 지원필요성

- 나노미터급으로 초미세화되는 반도체 소자의 개발을 위해서는 초정밀도, 초저손상의 식각공정이 가능한 ALE 장비의 개발이 시급함
- 초정밀도의 ALE 공정의 개발은 각종 원자층 수준의 공정 개발에 활용될 것임
 - 선택적 증착 (area-selective deposition)을 위해서는 선택성을 유지하기 위한 ALE 공정이 필요함
 - 세정공정 역시 원자층 수준의 제어가 가능한 atomic layer cleaning(ALC)이 요구되기 때문에 ALE 장비 기술은 ALC 장비 개발에 활용될 것임

☐ 경제적 지원필요성

- ALE 장비는 시장이 형성되기 시작한 단계이므로 ALE 장비의 조기개발은 장비 국산화는 물론 세계시장 선점이 기대됨

☐ 정부/정책적 지원필요성

- 국내 ALE 장비 시장이 형성되지 않은 상태이기 때문에 기업의 리스크가 크고 민간 직접 개발만으로는 개발 착수 시점이 늦어져 글로벌 기업과의 경쟁에서 크게 뒤쳐질 우려가 있음
- 정부지원을 통해 장비기업과 소자기업의 협력을 촉진하고 산학연 협동연구를 활성화하여 장비의 조기 상용화가 기대됨

4. 지원기간/예산/추진체계

- 기간 : 42개월 이내 (1차년도 : 6개월, 2차년도 : 12개월, 3차년도 : 12개월, 4차년도 12개월)
- 정부출연금 : '20년 10억원 이내(총 정부출연금 46억원 이내)
- 주관기관 : 중소·중견기업
- 기술료 징수여부 : 징수