

관리번호	2020-차세대반도체-일반-품목-03	산업 기술 분류	중분류 I	중분류 II												
과제성격	<input checked="" type="checkbox"/> 원천기술 <input type="checkbox"/> 혁신제품		반도체장비	-												
융합유형	<input type="checkbox"/> 산업고도화형 <input type="checkbox"/> 사회문제해결형 <input type="checkbox"/> 신산업(시장)창출형 <input checked="" type="checkbox"/> 해당없음															
해당여부	<input type="checkbox"/> 특허연계 <input type="checkbox"/> 표준연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 글로벌협력형 R&D <input type="checkbox"/> 경쟁형 R&D <input type="checkbox"/> 기획경쟁 <input type="checkbox"/> 경진대회형 <input type="checkbox"/> 규제개선 <input type="checkbox"/> 안전관리형															
품목명	3D 집적회로용 저저항 저온공정 3차원 배선기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)															
1. 개념 및 정의	<div> <input type="checkbox"/> 개념 <ul style="list-style-type: none"> <li>반도체 기반 로직 및 메모리 소자의 공격적 미세화가 진행되면서 2차원 구조에서 소자의 미세화를 통한 집적 밀도의 증대는 한계 상황에 이르고 있음</li> <li>이에 따라 집적도의 증가, 상이한 기능의 융합, 금속배선의 길이 축소 등을 위해 3차원 적층을 위한 배선 기술 개발이 활발하게 진행되고 있음</li> <li>* 병렬 집적 방식(Parallel 3D integration) 인 Through Silicon Via(TSV)와 순차적 3차원 집적(Sequential 3D integration) 인 Monolithic 3D(M3D) 집적에 대한 연구가 진행 중임</li> <li>또한 CMOS 기술 분야에서도 3 nm 이하 기술노드에서 적용될 것으로 보이는 Complementary Field-Effect-Transistor(CFET) 제작을 위한 매립 배선(Buried power rail) 구현을 위해 고온 공정에 견딜 수 있는 새로운 저저항 금속 소재를 필요로 함</li> <li>이러한 3차원 집적공정은 새로운 배선 소재와 공정 기술이 요구되고 있음</li> <li>TSV의 경우 Via size 축소에 따라, 저저항이면서 이후 고온 공정에서 열화와 확산이 적은 배선소재, 구조 및 공정 기술 개발이 필요함</li> <li>M3D 하부 및 CFET을 위한 고온 공정시 열화가 적은 저저항 배선소재, 구조, 및 공정 기술 개발이 필요함</li> <li>M3D 상부층 사용에 필요한 저온공정 저저항 배선소재, 구조 및 공정 기술 개발이 필요함</li> </ul> </div> <div> <input type="checkbox"/> 개발결과의 활용방안 <ul style="list-style-type: none"> <li>(TSV 기술) High Bandwidth Memory(HBM) 메모리, CMOS Image Sensor 기술 등</li> <li>(M3D 기술) 적층형 Logic-memory 소자, 초고감도 센서 등</li> <li>(Logic 기술) CFET 제작</li> </ul> </div> <div> <input type="checkbox"/> 핵심 목표 성능 <table border="1" style="width: 100%;"> <thead> <tr> <th colspan="2">핵심 성능지표</th> <th>단위</th> <th>달성목표</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>고온공정 저항 열화 (Buried power rail 용 배선)</td> <td>%</td> <td>1000도 공정시 5% 이하 저항 변화</td> </tr> <tr> <td>2</td> <td>저온공정 가능성(M3D 상부)</td> <td>도</td> <td>500도 (&lt;5% 이하 저항 변화 온도)</td> </tr> </tbody> </table> </div>				핵심 성능지표		단위	달성목표	1	고온공정 저항 열화 (Buried power rail 용 배선)	%	1000도 공정시 5% 이하 저항 변화	2	저온공정 가능성(M3D 상부)	도	500도 (<5% 이하 저항 변화 온도)
핵심 성능지표		단위	달성목표													
1	고온공정 저항 열화 (Buried power rail 용 배선)	%	1000도 공정시 5% 이하 저항 변화													
2	저온공정 가능성(M3D 상부)	도	500도 (<5% 이하 저항 변화 온도)													

## 2. 국내외 기술 동향

- TSV 기술을 이용한 HBM 등 다양한 제품이 생산되고 있음
  - 현재 제품 공정에서는 Cu를 via metal로 사용하고 있으나 미세화시 저저항 금속에 대한 기술 개발 수요가 있음
- CFET은 2018년 IMEC에서 기술이 제안되어 현재 삼성, Intel 등 다양한 회사에서 연구를 진행하고 있음
  - 현재 공정에서 적용하고 있는 W를 buried metal로 이용할 경우 높은 저항으로 인해 배선 지연에 따른 소자 성능 저하가 예상됨
- M3D의 경우 CEA-LETI, IMEC, TSRI 등 세계적인 연구소에서 활발한 연구 활동을 진행하고 있음
  - 현재 제품 공정에서는 W를 하부소자의 배선으로 사용하고 있으나, 높은 저항으로 인해 배선 지연에 따른 소자 성능 저하가 예상됨

## 3. 지원 필요성

### ☐ 기술적 지원필요성

- 동과제의 핵심 기술요소는 메모리, 로직, 융합 소자 등 다양한 반도체 관련 소자 기술을 아우르는 영역으로서 기술개발의 파급력이 매우 큼
  - 금속배선은 기초적인 소재기술과 미세공정 기술을 아우르는 융합 분야임

### ☐ 경제적 지원필요성

- 동 기술분야는 한국이 국제적인 경쟁력을 보유하고 있는 분야로 산업적인 파급력이 매우 큰 차세대 기술임
  - 반도체 산업이 현재 한국 경제에서 차지하는 비중이 매우 큼.
    - \* 고용 및 수출에서 큰 비중을 차지하고 있는 메모리 반도체 뿐 아니라 시스템 반도체의 성장에도 큰 도움이 되는 분야라고 할 수 있음

### ☐ 정부/정책적 지원필요성

- 원천기술 및 응용기술의 융합 성격의 연구 분야로서, 전문 인력양성 등이 함께 필요로 한 분야이기 때문에, 관련 부처의 정책적 지원이 필요함
  - 반도체 소재 및 장비 분야는 소자 분야와는 달리 중소기업이 많은 분야로 민간 단독으로는 기술 개발 여력과 개발 인력이 부족한 형편임
  - 반도체 산업이 우리나라 경제에서 점하고 있는 현재와 미래 위상을 생각할 때, 국제적 경쟁력을 유지, 우선 확보하기 위한 적극적 지원이 필요함

## 4. 지원기간/예산/추진체계

- 기간 : 30개월 이내 (1차년도 : 6개월, 2차년도 : 12개월, 3차년도 : 12개월)
- 정부출연금 : '20년 0.75억원 이내(총 정부출연금 2.75억원 이내)
- 주관기관 : 비영리기관
- 기술료 징수여부 : 비징수